

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-177664

(43)Date of publication of application : 13.07.1989

(51)Int.Cl.

G06F 13/36

(21)Application number : 63-001694

(71)Applicant : NEC CORP

(22)Date of filing : 07.01.1988

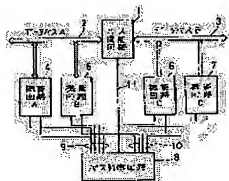
(72)Inventor : SHIMODA WATARU

(54) SYSTEM FOR CONTROLLING BUS CONNECTION

(57)Abstract:

PURPOSE: To simultaneously execute data transfers between plural function circuits by means of one data bus by dividing one data bus into plural bus parts through a bus connecting circuit.

CONSTITUTION: The data bus is divided into first and second bus parts 2 and 3, plural function circuits 4W7 are divided into a group to connected to the first bus part 2 and a group connected to the second bus part 3, and a connecting/interrupting control is electrically executed between the bus parts by a bus connecting circuit 1. Thus, data can be transmitted and received in the group independently by each group at the same time. Further, when the data bus is divided into three or above, the simultaneous processing of the data transmission and reception can be executed according to the division.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-177664

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)7月13日

G 06 F 13/36

3 1 0

A-8840-5B

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 バス接続制御方式

⑯ 特 願 昭63-1694

⑰ 出 願 昭63(1988)1月7日

⑱ 発 明 者 下 田 渉 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 柳 川 信

明 細 書

1. 発明の名称

バス接続制御方式

2. 特許請求の範囲

(1) 第1及び第2のグループに分けられた複数の機能回路と、前記第1のグループの各機能回路に接続された第1のバス部及び前記第2のグループの各機能回路に接続された第2のバス部からなるバスと、前記第1及び第2のバス部相互間の電気的断絶をなすバス接続回路とを設け、前記グループ内のみの各機能回路相互間でのデータ授受を行うときには、前記第1及び第2のバス部間の接続を断とし、前記グループ相互における各機能回路間でのデータ授受を行うときには、前記第1及び第2のバス部間の接続を行うよう、前記バス接続回路を制御するようにしたことを特徴とするバス接続制御方式。

3. 発明の詳細な説明

技術分野

本発明はバス接続制御方式に関し、特にデータ処理装置を構成する機能回路間をバスを介して統するバス接続制御方式に関する。

従来技術

従来、データ処理装置においては、装置を構成する各機能回路間を接続するのに、機能回路間を1対1のデータバスで接続するか、あるいはデータバスを設けてこのデータバスを介して機能回路間を接続するようになっている。

データバスを設けて機能回路間を接続する場合、設けるデータバスを1本とする場合と複数本とする場合があるが、いずれであっても設けたデータバスは1本が電気的に導通した1個の固定長のバスとなっている。

データバスを介して各機能回路間を接続する従来のバス接続制御方式では、1本のデータバスが電気的に導通した1個の固定長バスとなっているので、データバス上で物理的に隣接した機能回路間のデータ転送であっても、データバスの全てを使用することになる。従って、1本のデータバス

- 1 -

- 2 -

では一度に1対の機能回路間のデータ転送しか出来ず、他の機能回路間のデータ転送はその転送が終るまで待たされるという欠点がある。またこの欠点を補うため複数のデータバスを設けた場合は、データバスと接続するためのバスを1つの機能回路から複数出さなければならないという欠点がある。

発明の目的

そこで、本発明はかかる従来技術の問題点を解決すべくなされたものであって、その目的とするところは、複数の機能回路間のデータ転送を同時に行うことができ、かつ各機能回路とデータバスとの間の接続が単に1本のバスのみで可能なバス接続制御方式を提供することにある。

発明の構成

本発明によれば、第1及び第2のグループに分けられた複数の機能回路と、前記第1のグループの各機能回路に接続された第1のバス部及び前記第2のグループの各機能回路に接続された第2のバス部からなるバスと、前記第1及び第2のバス

— 3 —

互に接続制御される、機能回路A4とB5とは8ビットのデータバスにより、データバスA2と接続されるもので、第1のグループとされている。機能回路C6とD7とは8ビットのデータバスによりデータバスBと接続されるもので、第2のグループとされている。4個の機能回路は夫々独立に動作し、必要に応じて各機能回路間でデータ転送を行うものである。

機能回路間のデータ転送は次の手順で行われる。まず、データ転送を能動的に実施しようとする機能回路は、バス制御回路8へデータバスの使用権の要求を送る。データバスの使用権の要求は、異なる機能回路が同時に出した場合を考慮して、優先度が予め付けられているものとする。本例では、機能回路A4の要求を最高優先度として、以下機能回路B5、機能回路C6、機能回路D7の要求の順に優先度が付されている。

機能回路はデータバスの使用権の要求と同時に、相手側機能回路指定と相手側機能回路との間のデータ転送の方向指定とをバス制御回路8へ送る。

— 5 —

部相互間の電気的接続をなすバス接続回路とを設け、前記グループ内のみの各機能回路相互間のデータ授受を行うときには、前記第1及び第2のバス部間の接続を断とし、前記グループ相互における各機能回路間でのデータ授受を行うときには、前記第1及び第2のバス部間の接続を行うよう、前記バス接続回路を制御するようにしたことを特徴とするバス接続制御方式が得られる。

実施例

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例を示すシステムブロック図である。本実施例は1個のバス接続回路1と、データバスA2とデータバスB3の2個のデータバスと、機能回路A4、B5、C6、D7の4個の機能回路と、1個のバス制御回路8と、第1の信号群9と、第2の信号群10と、第3の信号群11とで構成される。

データバスA2とデータバスB3とは8ビットのデータバスであり、バス接続回路1を介して相

— 4 —

互に接続制御される。機能回路A4とB5とは8ビットのデータバスにより、データバスA2と接続されるもので、第1のグループとされている。機能回路C6とD7とは8ビットのデータバスによりデータバスBと接続されるもので、第2のグループとされている。4個の機能回路は夫々独立に動作し、必要に応じて各機能回路間でデータ転送を行うものである。

次にそのデータバスが現在使用中であるか否かを、バス制御回路8内のデータバスの使用状態を保持する手段内のデータから判断し、使用中でなければ要求を出した機能回路にバス使用権の許可を送る。またこの時、データバスの使用状態を新しい状態に更新する。データバスが使用中であれば、次位の優先度のデータバスの使用権の要求について、同じ処理を行う。

データバスA2とデータバスB3との使用権の要求に対してバス使用権を許可する場合、バス接続回路1へ送るデータバス間の接続指示が発生する。この接続指示は2ビットからなり、ビット0は接続を示し、ビット1は方向を示す。ビット0は、1つの機能回路からのデータバス使用権の要求に対してデータバスA2とデータバスB3との使用権を許可する場合に“1”となり、バス接続

— 6 —

を示す。ビット1は、データバスA2とデータバスB3とをバス接続回路1で接続する場合の方向を示す。

すなわち、データバスA2からB3にデータを転送する場合ビット1を“0”とし、データバスB3からデータバスA2へデータを転送する場合ビット1を“1”とする。この判断は、データバス使用権の要求を出した機能回路からバス制御回路8へ送るデータ転送の方向指定と、要求を出した機能回路指定と、相手側機能回路指定とから行う。接続指示のビット0が“0”のとき、データバスA2とデータバスB3の間は切断状態となる。従って、データバスA2に接続されている機能回路A4とB5との間のデータ転送と、データバスB3に接続されている機能回路C6とD7との間のデータ転送を同時に行うことが出来る。

バス使用権の許可を受けた機能回路はデータバスを確保したので相手側機能回路との間でデータ転送を開始する。データ転送が完了したら、許可を受けた機能回路はバス制御回路8へバス使用権

— 7 —

力制御を行い、バスドライバ131とバスドライバ141の出力をハイインピーダンスにすることでビット0間の接続を断ち、バスドライバ141の出力のみをハイインピーダンスにすることでデータバスA2のビット0からデータバスB3のビット0への導通を確保し、バスドライバ131の出力のみをハイインピーダンスにすることでデータバスB3のビット0からデータバスA2のビット0への導通を確保する。

バスドライバの出力制御信号は、バス制御回路8から送られて来た接続指示の2ビットから発生する。ビット0が“0”であれば両バスドライバ131、141の出力をハイインピーダンスとし、ビット0が“1”でかつビット1が“0”であればバスドライバ141の出力のみをハイインピーダンスとし、ビット0が“1”でかつビット1が“1”であればバスドライバ131の出力のみをハイインピーダンスとする。

第3図及び第4図はバス制御回路8の具体的な回路構成を示す。バス制御回路8は機能回路との

— 9 —

の終了を伝達する。バス制御回路8はバス使用権の終了を受けて終了を送ってきた機能回路が接続しているデータバスの使用中の状態を解除する。この時、接続指示のビット0が“1”であれば、データバスA2とデータバスB3の使用中の状態を解除する。また、接続指示のビット0を“0”にして接続指示を初期状態に戻して一連の手順を完了する。

第2図はバス接続回路1の具体的な回路構成を示す。バス接続回路1は、ノット回路111と、2個の2入力アンド回路121、122と、16個の3ステート出力を持つバスドライバ131～138、141～148とにより構成されている。

データバスA2とB3との接続を、1ビットについて2個のバスドライバで行う。ビット0を例にとると、データバスA2のビット0はバスドライバ131の入力とバスドライバ141の出力とに接続され、データバスB3のビット0はバスドライバ131の出力とバスドライバ141の入力に接続されている。これにより、2個のバスドライバの出

— 8 —

間を第1の信号群9と第2の信号群10で接続し、バス接続回路1との間を第3の信号群11で接続している。第1の信号群9はバス使用権の要求とバス使用権の許可とバス使用権の終了とを伝達し、機能回路A4から機能回路D7に対応して、要求にR0AからR0Dの信号名を、許可にPNAからPNDの信号名を、終了にEDAからEDDの信号名を夫々付けている。

第2の信号群10は相手側機能回路指定と相手側機能回路との間のデータ転送の方向指定とを伝達し、機能回路A4から機能回路D7に対応して、相手側機能回路指定にFNAからFNDの信号名を、方向指定にSDAからSDDの信号名を夫々付けている。

FNAからFNDの信号は夫々2ビットでFNA0, FN A1, FND0, FND1の様に各ビットを表現する。また2ビットは“0”が機能回路A4を、“1”が機能回路B5を、“2”が機能回路C6を、“3”が機能回路D7を夫々指定する。第3の信号群は2ビットのバス接続指示を伝達し、CNの信号名を

— 10 —

付けている。ビットはCNOとCN1とにより表現しており、フリップフロップ871、872の各出力である。

バス制御回路8内のデータバスの使用状態を保持する手段(フリップフロップ)873、874のうち保持しているビットには、データバスA2に対応するビットにBSAの信号名を、データバスB3に対応するビットにBSBの信号名を夫々付けている。

第3図はバス使用権の許可の決定手段の回路を示す。この回路の論理構成を前記信号名で表わせば次の通りとなる。

$$\begin{aligned} PNA &= RQA \cdot \overline{BSA} \cdot \overline{FNAO} \\ &\quad + RQA \cdot \overline{BSA} \cdot \overline{BSB} \cdot \overline{FNAO} \\ PNB &= RQB \cdot \overline{BSA} \cdot \overline{FNBQ} \cdot \overline{PNA} \\ &\quad + RQB \cdot \overline{BSA} \cdot \overline{BSB} \cdot \overline{FNBQ} \cdot \overline{PNA} \\ PNC &= RQC \cdot \overline{BSB} \cdot \overline{FNCQ} \cdot (RQA \cdot \overline{BSA} \cdot \overline{BSB} \\ &\quad + \overline{FNAQ} + RQB \cdot \overline{BSA} \cdot \overline{BSB} \cdot \overline{FNBQ} \cdot \overline{PNA}) \\ &\quad + RQC \cdot \overline{BSA} \cdot \overline{BSB} \cdot \overline{FNCQ} \cdot \overline{PNA} \cdot \overline{PNB} \\ PND &= RQD \cdot \overline{BSB} \cdot \overline{FNDO} \cdot (RQA \cdot \overline{BSA} \cdot \overline{BSB} \\ &\quad + \overline{FNAQ} + RQB \cdot \overline{BSA} \cdot \overline{BSB} \cdot \overline{FNBQ} \cdot \overline{PNA}) \end{aligned}$$

— 11 —

$$\begin{aligned} PNB \cdot \overline{FNBQ} + PNC \cdot \overline{FNCQ} + PND \cdot \overline{FNDO} \\ CNO \text{ フリップフロップのリセット} &= EDA + EDB \\ &\quad + EDC + EDD \\ CN1 \text{ フリップフロップのセット} &= PNA \cdot \overline{FNAQ} \cdot \\ &\quad SDA + PNB \cdot \overline{FNBQ} \cdot SDB + PNC \cdot \overline{FNCQ} \cdot SDC + \\ &\quad PND \cdot \overline{FNDO} \cdot SDD \\ CN1 \text{ フリップフロップのリセット} &= EDA + EDB \\ &\quad + EDC + EDD \end{aligned}$$

以上詳述したように、データバスを第1及び第2のバス部に分割し、また複数の機能回路を第1のバス部に接続されるグループと第2のバス部に接続されるグループとに分割し、これ等バス部間をバス接続回路により電気的に離断制御するよう構成しているので、グループ内でのデータ授受が各グループ単独で同時に行えることになる。

データバスの分割を3以上にすれば、それに応じてグループ内のデータ授受の同時処理が可能となるものである。

発明の効果

以上説明したように本発明によれば、1本のデ

— 13 —

$$\begin{aligned} &\cdot \overline{FNAQ} + RQB \cdot \overline{BSA} \cdot \overline{BSB} \cdot \overline{FNBQ} \cdot \overline{PNA}) \\ &\cdot \overline{PNC} + RQD \cdot \overline{BSA} \cdot \overline{BSB} \cdot \overline{FNDO} \cdot \overline{PNA} \\ &\cdot \overline{PNB} \cdot \overline{PNC} \end{aligned}$$

第4図はデータバスの使用状態を保持する手段とデータバス間の接続指示を発生する手段の回路を示す。この回路で使用する4個のフリップフロップ871～874はセット端子“S”とリセット端子“R”とを持つ。データバス使用状態を保持する手段の回路の論理構成は次の通りとなる。

$$\begin{aligned} BSA \text{ フリップフロップのセット} &= PNA + PNB + \\ &\quad PNC + \overline{FNCQ} + \overline{PND} \cdot \overline{FNDO} \\ BSA \text{ フリップフロップのリセット} &= EDA + EDB \\ &\quad + EDC + CNO + EDD + CNO \\ SB \text{ フリップフロップのセット} &= PNA \cdot \overline{FNAQ} + PNB \\ &\quad + \overline{FNBQ} + PNC + \overline{PND} \\ SB \text{ フリップフロップのリセット} &= EDA + CNO \\ &\quad + EDB + CNO + EDC + EDD \end{aligned}$$

データバス間の接続指示を発生する手段の回路の論理構成は次の通りである。

$$\begin{aligned} CNO \text{ フリップフロップのセット} &= PNA \cdot \overline{FNAQ} + \\ &\quad + \overline{PNC} \cdot \overline{FNCQ} + \overline{PND} \cdot \overline{FNDO} \end{aligned}$$

— 12 —

ータバスをバス接続回路を介した複数個のバス部に分割することにより、データ転送で使用するバスの断面を限定でき、これにより1本のデータバスで複数の機能回路間のデータ転送を同時に行うことができるという効果がある。また、データバスは1本であるため、データバスと接続する機能回路は、バスとの接続に1本のバスだけを出力すればよいという効果もある。

4. 図面の簡単な説明

第1図は本発明の実施例のシステムブロック図、第2図は第1図のバス接続回路の具体例を示す回路図、第3図及び第4図は第1図のバス制御回路の各部の具体例を示す回路図である。

主要部分の符号の説明

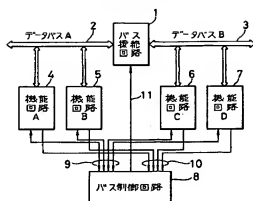
- 1 …… バス接続回路
- 2、3 …… データバス
- 4 …… 機能回路
- 8 …… バス制御回路

出願人 日本電気株式会社

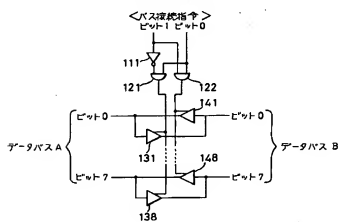
代理人 弁理士 柳川 信

— 14 —

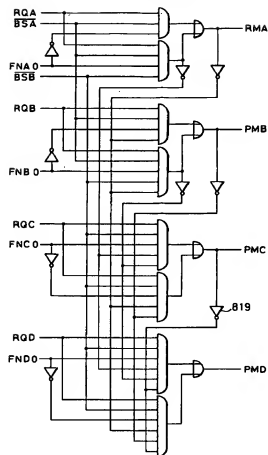
第 1 図



第 2 図



第 3 図



第 4 図

